

9

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140624

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

H01L 29/48

(21)Application number : 04-308189

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 22.10.1992

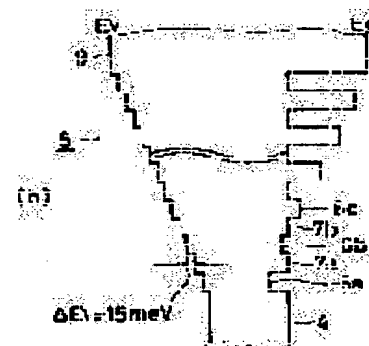
(72)Inventor : SHIMIZU HITOSHI
IRIKAWA MASANORI
HIRAYAMA YOSHIYUKI

(54) SCHOTTKY JUNCTION ELEMENT

(57)Abstract:

PURPOSE: To provide a schottky junction element which eliminates pile-up of holes due to the projected area at the upper end of the valence band and realizes high speed response while maintaining schottky barrier height.

CONSTITUTION: In a schottky junction element having the schottky junction formed by a semiconductor 4 and a metal 8 and providing a superlattice structure 5 at the interface between the semiconductor 4 and the metal 8, the upper end of the valence band of the super-lattice structure 5 is changed into the staircase form only in the single direction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-140624

(43)公開日 平成 6 年(1994) 5 月20日

(51)Int.Cl.⁵

H 0 1 L 29/48

識別記号

庁内整理番号

F I

技術表示箇所

F 7738-4M

H 7738-4M

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号 特願平4-308189

(22)出願日 平成 4 年(1992)10月22日

(71)出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内 2 丁目 6 番 1 号

(72)発明者 清水 均

東京都千代田区丸の内 2 丁目 6 番 1 号 古

河電気工業株式会社内

(72)発明者 入川 理徳

東京都千代田区丸の内 2 丁目 6 番 1 号 古

河電気工業株式会社内

(72)発明者 平山 祥之

東京都千代田区丸の内 2 丁目 6 番 1 号 古

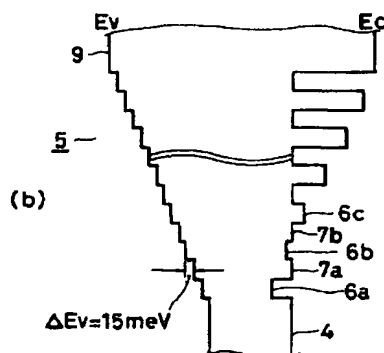
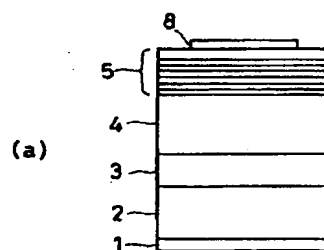
河電気工業株式会社内

(54)【発明の名称】 ショットキー接合素子

(57)【要約】

【目的】 ショットキーバリア高さを保持したままで、価電子帯上端の凸部による正孔のバイルアップを解消し、高速応答を可能にするショットキー接合素子を提供する。

【構成】 半導体 4 と金属 8 とで形成されるショットキー接合を有し、前記半導体 4 と金属 8 の界面に超格子構造 5 を設けたショットキー接合素子において、超格子構造 5 の価電子帯の上端を一方向に階段状に変化するようにする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体と金属とで形成されるショットキー接合を有し、前記半導体と金属の界面に超格子構造を設けたショットキー接合素子において、超格子構造は、その価電子帯の上端が一方に階段状に変化していることを特徴とするショットキー接合素子。

【請求項2】 InP基板上に、GaInAsまたはGaAsSbからなる引っ張り歪み層と、AlInAsからなる圧縮歪み層を交互に積層してなる超格子構造を設けたことを特徴とする請求項1記載のショットキー接合素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体と金属とで構成されるショットキー接合を有するショットキー接合素子に関する。

【0002】

【従来技術】 InPに格子整合するIn_{0.53}Ga_{0.47}Asは、低電界時の移動度が大きい、飽和速度が大きい、バンドギャップが0.74eVと小さく、光通信の波長帯1.3～1.65μmの光を吸収できるなどの特徴をもつ。このため、In_{0.53}Ga_{0.47}Asと金属とのショットキー接合を利用したMESFETやホトダイオードが検討されている。しかし、上記ショットキー接合はバリア高さが低く、リーク電流が大きいという問題を有し、この問題を改善するために次のような手段が検討されてきた。即ち、

- 1) 界面にSiO₂層を用いる(文献1参照)。
- 2) 界面にn-In_{0.52}Al_{0.48}As層を用いる(文献2参照)。
- 3) 図3(a)、(b)に示すように、界面にIn_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}AsからなるGraded超格子15を用いる(文献3参照)。図中、11はAu/Ge-Niオーミック電極、12はn⁺-InP基板、13は厚さ0.5μmのn⁺-In_{0.53}Ga_{0.47}As層、14は厚さ1.5μmのn-In_{0.53}Ga_{0.47}As層、15はGraded超格子構造、16はAuショットキー電極である。ここで、Graded超格子15とは、In_{0.53}Ga_{0.47}As薄膜層15aとIn_{0.52}Al_{0.48}As薄膜層15bを交互に積層したもので、In_{0.53}Ga_{0.47}As薄膜層15aの厚さとIn_{0.52}Al_{0.48}As薄膜層15bの厚さは逆方向に徐々に変化しているものである。この例では、Auショットキー電極16に対してショットキーバリア高さが0.2eVから0.71eVに改善されている。このショットキーバリア高さの増大の原因としては、Graded超格子15の平均組成に対応する実効的バンドギャップの増大に由来するという説明がなされている。
- 4) 界面にInGaAs/InAlAs多重量子障壁層を用いる(文献4参照)。この例では、Au電極に対し

てショットキーバリア高さが0.2eVから1.3～1.7eV程度改善されている。

文献1: D.V.Morgan et al., Electron. Lett. 14, 737(1978).

文献2: J.Barrard et al., IEEE Electron Device Lett. EDL-1, 174(1980).

文献3: D.H.Lee et al., Appl. Phys. Lett. 19, 1863(1989).

文献4: 特願平4-1434420.

【0003】

【発明が解決しようとする課題】 しかしながら、上述のGraded超格子や多重量子障壁層をショットキー界面に用いると、これらの超格子構造の価電子帯上端が凸凹状に変化しているため、正孔は、半導体側から金属側に流れる際に、価電子帯上端の凸部(ヘテロバンド不連続部分ΔE_v)にパイルアップされ、高速応答が困難になるという問題があった。本発明の目的は、ショットキー接合において、バリア高さを高くするために導入したGraded超格子や多重量子障壁層などの超格子構造において、ショットキーバリア高さを保持したままで、価電子帯上端の凸部による正孔のパイルアップを解消し、高速応答を可能にすることである。

【0004】

【課題を解決するための手段】 本発明は上記問題点を解決したショットキー接合素子を提供するもので、半導体と金属とで形成されるショットキー接合を有し、前記半導体と金属の界面に超格子構造を設けたショットキー接合素子において、超格子構造は、その価電子帯の上端が一方に階段状に変化していることを特徴とするものである。

【0005】

【作用】 上述のような超格子構造を、半導体と金属からなるショットキー接合界面に設けると、次のような効果がある。即ち、超格子構造は、価電子帯の上端が一方に階段状に変化しているため、価電子帯の上端に凸部がなく、正孔がパイルアップされないで、高速応答が可能になる。従って、本発明によれば、従来通りにリーク電流が小さく、かつ、高速応答が可能なショットキー接合素子を実現することができる。

【0006】

【実施例】 以下、図面に示した実施例に基づいて本発明を詳細に説明する。図1(a)は本発明にかかる半導体素子の一実施例であるショットキーダイオードの断面図である。このショットキーダイオードは、文献3に示されている素子を改良したものである。図中、1はAu/Ge-Niオーミック電極、2はn⁺-InP基板、3はInPに格子整合する厚さ0.5μmのn⁺-In_{0.53}Ga_{0.47}As層、4は厚さ1.5μmのn-In_{0.53}Ga_{0.47}As層、5は超格子構造、8はAuショットキー電極である。

【0007】この超格子構造5のエネルギーバンド構造を図1(b)に示す。超格子構造5は、 $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層4側から、厚さ40Å程度の圧縮歪み層6a、6b・・・と引っ張り歪み層7a、7b・・・を交互に合わせて15層を積層したものである。これらの圧縮歪み層6a、6b・・・と引っ張り歪み層7a、7b・・・は、超格子構造5内では歪みが相互に打ち消され、超格子構造5内に転位が導入されないように積層されている。また、隣接する圧縮歪み層6a、6b・・・と引っ張り歪み層7a、7b・・・間の価電子帯上端のヘテロバンド不連続部分 ΔE_v を15meVになるようにし、かつ、価電子帯上端が $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層4側から階段状に下がるようにした。

【0008】具体的には、圧縮歪み層6a、6b・・・と引っ張り歪み層7a、7b・・・の組成は文献5に基づいて設定した。文献5によれば、 GaAsSb 、 GaInAs 、 AlInAs および AlAsSb の価電子帯エネルギー(AlAs を基準として)と格子定数の間には、図2に示す関係がある。そこで、 InP に格子整合した $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層4に接する圧縮歪み層6aを $\text{Al}_{0.25}\text{In}_{0.75}\text{As}$ 、次の引っ張り歪み層7aを $\text{GaAs}_{0.76}\text{Sb}_{0.24}$ 、以下、 ΔE_v が15meVになるようにして、圧縮歪み層6b、・・・の組成をライン①に沿って $\text{InAs} \rightarrow \text{AlAs}$ 方向に変化させ、引っ張り歪み層7b、・・・の組成をライン②に沿って $\text{GaSb} \rightarrow \text{GaAs}$ 方向に変化させる。このようにすると、 InP よりも格子定数の大きい圧縮歪み層6a、6b・・・には圧縮歪みが加わり、 InP よりも格子定数の小さい引っ張り歪み層7a、7b・・・には引っ張り歪みが加わる。また、圧縮歪みと引っ張り歪みの量を同程度にしてバランスをとり、転位の導入を阻止するために、 $\text{GaAs}_{0.8}\text{Sb}_{0.2}$ からなる引っ張り歪み層7m以降の引っ張り歪み層7n、7o・・・は、 GaAsSb でなく InGaAs として、引っ張り歪み層7nの組成を $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ とし、以下、ライン③に沿って $\text{InAs} \rightarrow \text{GaAs}$ 方向に変化させる。最後に、 Au ショットキー電極8側には InP に格子整合する $n\text{-In}_{0.52}\text{Al}_{0.48}\text{As}$ 層9を積層する。なお、圧縮歪み層6a、6b・・・と引っ張り歪み層7a、7b・・・の各層のドーピング濃度は $n \sim 5 \times 10^{15} \text{cm}^{-3}$ とした。

【0009】ここで、 ΔE_v が15meVになるように設定した理由は、熱エネルギーが常温で $kT \sim 25 \text{meV}$ であるため、 ΔE_v をそれ以下にすることにより、正

孔の価電子帯におけるパイルアップを防ぐことができるからである。本実施例は、 MOCVD 、 MBE 、ガスソース MBE などの超薄膜制御性に優れた結晶成長法を用いて作製することができる。なお、本発明の超格子構造は上記実施例に限定されず、文献4の多重量子障壁層を変形し、上記実施例と同様の材質を用いてもよい。また、上記実施例は、 InP 基板上的ショットキー接合について説明したが、本発明は GaAs 基板上的ショットキー接合にも適用可能である。さらに、上記実施例では、ショットキーダイオード(フォトダイオードを含む)について説明したが、本発明は SiS 型 FET 、 HEMT へも応用できる。

文献5: F.L.Schuermeyer et al., Appl. Phys. Lett. 55, 1877(1989)。

【0010】

【発明の効果】以上説明したように本発明によれば、半導体と金属とで形成されるショットキー接合を有し、前記半導体と金属の界面に超格子構造を設けたショットキー接合素子において、超格子構造は、その価電子帯の上端が一方向に階段状に変化しているため、ショットキーバリア高さを保持したままで、価電子帯上端の凸部による正孔のパイルアップを解消し、高速応答を可能にすることができるという優れた効果がある。

【図面の簡単な説明】

【図1】(a)、(b)はそれぞれ、本発明にかかるショットキー接合素子の一実施例であるショットキーダイオードの断面図と、そこに用いられた超格子構造のエネルギーバンド構造を示す図である。

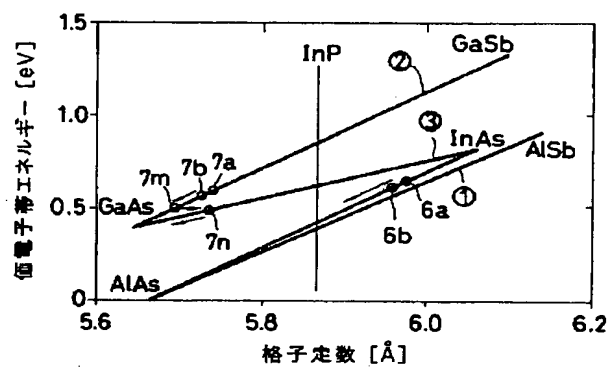
【図2】3-5族化合物半導体の格子定数と価電子帯エネルギーの関係を示す図である。

【図3】(a)、(b)はそれぞれ、従来のショットキーダイオードの断面図と、そこに用いられた Graded 超格子構造のエネルギーバンド構造を示す図である。

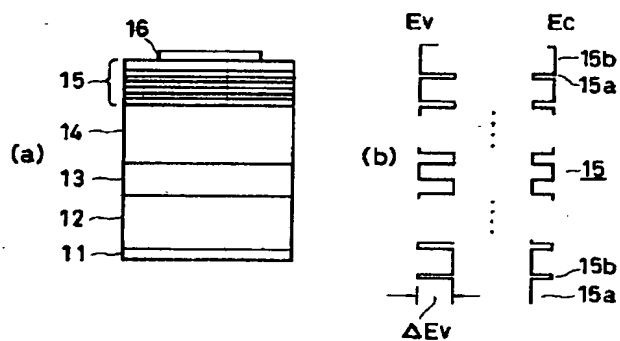
【符号の説明】

1	Au/Ge-Ni オーミック電極
2	$n^+ - \text{InP}$ 基板
3	$n^+ - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層
4	$n - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層
5	超格子構造
6a、b、・・・	圧縮歪み層
7a、b、・・・	引っ張り歪み層
8	Au ショットキー電極
9	$n - \text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層

【図 2】



【圖 3】



BEST AVAILABLE COPY